

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-3282

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月8日

G 06 K 19/07
B 42 D 15/10

5 2 1

6548-2C
6711-5L

G 06 K 19/00

J

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 ICカード

⑮ 特 願 平2-102989

⑯ 出 願 平2(1990)4月20日

⑰ 発 明 者 大 野 久 支 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑰ 発 明 者 朝 見 和 生 兵庫県伊丹市瑞原4丁目1番地 三菱電機セミコンダクタソフトウェア株式会社北伊丹事業所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 曾我 道照 外5名

明 細 書

1. 発明の名称

ICカード

2. 特許請求の範囲

データを処理するためのCPUと、

外部からのデータを受信して前記CPUへ入力させるためのデータ受信回路と、

前記CPUからの送信データを外部へ送信するためのデータ送信回路と、

外部から外部リセット信号を受信するためのリセット受信手段と、

外部から前記データ受信回路に一つの応答があった後一定時間を経過しても次の応答がないときに内部リセット信号を発生する監視タイマと、

前記リセット受信手段からの前記外部リセット信号及び前記監視タイマからの前記内部リセット信号のうちいずれか一方を入力したときにいずれの信号であるかを識別し且つその識別結果を保持すると共に前記CPUにリセットをかける識別回路と

を備えたことを特徴とするICカード。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、ICカードに係り、特に監視タイマを備えたICカードに関する。

〔従来の技術〕

従来のICカードの構造を第4図に示す。CPU(1)にストップ信号出力回路(2)が接続され、このストップ信号出力回路(2)にリセット受信回路(3)及び監視タイマ(4)が接続されている。さらに、ICカードにはCPU(1)に接続され且つそれぞれ端末機(図示せず)との間でデータを受信及び送信するためのデータ受信回路及びデータ送信回路(図示せず)が配置されている。

動作時には、端末機からのデータがデータ受信回路で受信された後、CPU(1)へ入力されてここで所定の処理がなされる。その後、必要に応じてデータ送信回路から送信データが端末機へ送信される。

いま、端末機及びICカードを含むICカード

システムに何等かのトラブルが発生し、CPU(1)の動作を停止させるために端末機から外部リセット信号が発せられたものとする。この外部リセット信号がICカードのリセット受信回路(3)により受信されると、リセット受信回路(3)からストップ信号出力回路(2)へリセット信号 S_1 が出力される。ストップ信号出力回路(2)は、リセット信号 S_1 を入力すると、ストップ信号 S_2 をCPU(1)に出力し、これによりCPU(1)にリセットがかかる。

一方、ストップ信号出力回路(2)に接続された監視タイマ(4)は、端末機からデータ送信等の一つの応答があった後、次の応答までの時間を計数するものである。この監視タイマ(4)は、一定時間を経過しても端末機から次の応答がないためにオーバーフローすると、CPU(1)を停止すべくリセット信号 S_1 をストップ信号出力回路(2)へ出力する。監視タイマ(4)からリセット信号 S_2 を入力したストップ信号出力回路(2)は、リセット受信回路(3)からリセット信号 S_1 を入力したときと

同様にしてCPU(1)にストップ信号 S_2 を出力する。これにより、CPU(1)は停止状態となる。

このように、ストップ信号出力回路(2)はリセット受信回路(3)からのリセット信号 S_1 を入力しても、監視タイマ(4)からのリセット信号 S_2 を入力して、全く同様にCPU(1)にストップ信号 S_2 を出力するため、どちらのリセット信号によりCPU(1)にリセットがかかったのかを判別することができなかった。

(発明が解決しようとする課題)

すなわち、従来のICカードでは、トラブルが発生してCPU(1)にリセットがかかった場合に、このリセットが、端末機からの外部リセット信号を受信したことによるのか、監視タイマ(4)が作動したことによるのか、あるいはノイズが混入してリセット受信回路(3)でリセット信号を誤って受信したことによるのか等の解析が困難であった。このため、正常状態への復旧作業に多大の時間と労力を要するという問題点があった。

この発明はこのような問題点を解消するために

なされたもので、トラブルが発生してCPUにリセットがかかった場合に、トラブル発生原因を容易に解析することができるICカードを提供することを目的とする。

(課題を解決するための手段)

この発明に係るICカードは、データを処理するためのCPUと、外部からのデータを受信してCPUへ入力させるためのデータ受信回路と、CPUからの送信データを外部へ送信するためのデータ送信回路と、外部から外部リセット信号を受信するためのリセット受信手段と、外部からデータ受信回路に一つの応答があった後一定時間を経過しても次の応答がないときに内部リセット信号を発生する監視タイマと、リセット受信手段からの外部リセット信号及び監視タイマからの内部リセット信号のうちいずれか一方を入力したときにいずれの信号であるかを識別し且つその識別結果を保持すると共にCPUにリセットをかける識別回路とを備えたものである。

(作用)

この発明においては、識別回路がリセット受信手段からの外部リセット信号または監視タイマからの内部リセット信号を入力したときに、いずれの信号かを識別してその結果を保持すると共にCPUにリセットをかける。

(実施例)

以下、この発明の実施例を添付図面に基づいて説明する。

第1図はこの発明の一実施例に係るICカードの構成を示すブロック図である。ICカードはCPU(11)を有し、このCPU(11)にそれぞれ端末機(図示せず)との間でデータを受信及び送信するためのデータ受信回路(12)及びデータ送信回路(13)が接続されている。また、メモリ(15)がデータバス(14)を介してCPU(11)に接続される一方、識別回路(16)がCPU(11)及びデータバス(14)に接続されている。さらに、識別回路(16)にリセット受信回路(17)及び監視タイマ(18)が接続されている。

リセット受信回路(17)は端末機から外部リセッ

ト信号 S_1 を受信して識別回路(16)へ出力するためのものであり、リセット受信手段を構成する。また、監視タイマ(18)は端末機からデータ送信等の一つの応答があった後、次の応答までの時間を計数し、一定時間を経過しても端末機から次の応答がないときには内部リセット信号 S_2 を識別回路(16)へ出力する。識別回路(16)はリセット受信回路(17)から外部リセット信号 S_1 を入力するか、あるいは監視タイマ(18)から内部リセット信号 S_2 を入力した場合に、CPU(11)にストップ信号 S_3 を出力すると共に外部リセット信号 S_1 と内部リセット信号 S_2 のうちいずれの信号が入力されたかを識別する。

第2図に識別回路(16)の内部構造を示す。第1～第3のノア回路(21)～(23)とインバータ回路(24)とから構成されており、第1のノア回路(21)はリセット受信回路(17)からの外部リセット信号 S_1 及び第2のノア回路(22)の出力信号を入力し、第2のノア回路(22)は監視タイマ(18)からの内部リセット信号 S_2 及び第1のノア回路(21)の出力信

号を入力し、第3のノア回路(23)は外部リセット信号 S_1 及び内部リセット信号 S_2 を入力する。第2のノア回路(22)の出力端にインバータ回路(24)が接続され、このインバータ回路(24)の出力端がデータバス(14)の“0”ビットに接続されている。インバータ回路(24)に識別回路リード信号 S_4 が入力されると、第2のノア回路(22)の出力端のレベルが反転され識別信号 S_1 としてデータバス(14)に出力される。また、第3のノア回路(23)の出力信号はストップ信号 S_3 としてCPU(11)に入力する。

尚、第1図のICカードは電磁波を利用して端末機との間でデータの送受信を行うものであり、データ受信回路(12)、データ送信回路(13)及びリセット受信回路(17)はそれぞれアンテナ回路を含んでいる。または、これらデータ受信回路(12)、データ送信回路(13)及びリセット受信回路(17)が一つのアンテナ回路を共有してもよい。

次に、実施例の動作について説明する。まず、図示しない端末機からデータが送信されると、このデータはICカードのデータ受信回路(12)で受

信された後、CPU(11)へ入力されてここで所定の処理がなされる。その後、CPU(11)で処理されたデータは必要に応じてデータバス(14)を介してメモリ(15)に格納されたり、あるいはデータ送信回路(13)から端末機へ送信される。

いま、端末機から外部リセット信号が発せられたものとする。この外部リセット信号がICカードのリセット受信回路(17)により受信されると、リセット受信回路(17)から識別回路(16)に“H”レベルの外部リセット信号 S_1 が出力される。すると、第2図において第1のノア回路(21)の出力が“L”レベルとなるので、第2のノア回路(22)の出力は“H”レベルとなり、インバータ回路(24)に入力される。一方、第3のノア回路(23)の出力は“L”レベルとなり、ストップ信号 S_3 としてCPU(11)に入力し、これによりCPU(11)にリセットがかかる。

その後、識別結果を認識するために、CPU(11)を再始動させ、特定のアドレスを指定すると共に識別回路リード信号 S_4 をCPU(11)から識別

回路(16)のインバータ回路(24)に出力させると、第2のノア回路(22)の出力レベル“H”が反転されて“L”レベルとなり、識別信号 S_1 としてデータバス(14)の“0”ビットに出力される。従って、この特定のアドレスのデータの“0”ビットを読み取ることにより、それが“L”レベルであることから外部リセット信号 S_1 によるリセットであったことを認識することができる。

一方、端末機からデータを受信する等の一つの応答があった後、一定時間を経過しても端末機から次の応答がないために監視タイマ(18)がオーバーフローすると、監視タイマ(18)はCPU(11)を停止すべく“H”レベルの内部リセット信号 S_2 を識別回路(16)に出力する。すると、第2図において第2のノア回路(22)の出力が“L”レベルとなり、インバータ回路(24)に入力される。一方、第3のノア回路(23)の出力は、上述した“H”レベルの外部リセット信号 S_1 が入力された場合と同様に“L”レベルとなりストップ信号 S_3 としてCPU(11)に入力する。これにより、CPU(11)にリセットが

かかる。

その後、識別結果を認識するために、CPU (11)を再始動させ、上記の特定のアドレスを指定すると共に識別回路リード信号 S_r をCPU (11)から識別回路(16)のインバータ回路(24)に出力させると、第2のノア回路(22)の出力レベル“L”が反転されて“H”レベルとなり、識別信号 S_r としてデータバス(14)の“0”ビットに出力される。従って、この特定のアドレスのデータの“0”ビットを読み取ることにより、それが“H”レベルであることから内部リセット信号 S_r によるリセットであったことを認識することができる。

このように、この実施例では、識別回路(16)が外部リセット信号 S_r 及び内部リセット信号 S_r のうちいずれか一方を入力したときに、いずれの信号であるかを識別してその識別結果を第2のノア回路(22)の出力信号レベルとして保持する。さらに、その後識別回路リード信号 S_r によりインバータ回路(24)を介して識別結果を読み取ることができる。すなわち、トラブルが発生してCPU (11)にリセッ

トがかかった場合に、このリセットが、端末機からの外部リセット信号を受信したことによるのか、監視タイマ(18)が作動したことによるのかを容易に判別することができる。このため、トラブル発生原因を除去して正常状態へ復帰させる作業が容易且つ迅速なものとなる。

尚、第1図のICカードは電磁波を利用した非接触型のICカードであるが、第3図に示すようにコネクタ(31)を用いた接触型のICカードであってもよい。コネクタ(31)にデータ入力回路(32)及びデータ出力回路(33)を介してCPU (11)が接続されている。これらデータ入力回路(32)及びデータ出力回路(33)はそれぞれ第1図のデータ受信回路(12)及びデータ送信回路(13)に相当するものであるが、コネクタ(31)を介して端末機(図示せず)とのデータの入出力を行うことからアンテナ回路は不要であり内蔵していない。また、コネクタ(31)はリセット受信手段となる外部リセット信号入力端子(31a)を含んでおり、この入力端子(31a)が識別回路(16)に接続されている。

このような構成の接触型ICカードにおいても第1図の非接触型ICカードと同様の効果が得られる。ただし、この場合には外部リセット信号 S_r は端末機からコネクタ(31)の入力端子(31a)を介して直接識別回路(16)に入力される。

〔発明の効果〕

以上説明したように、この発明に係るICカードは、データ処理するためのCPUと、外部からのデータを受信してCPUへ入力させるためのデータ受信回路と、CPUからの送信データを外部へ送信するためのデータ送信回路と、外部から外部リセット信号を受信するためのリセット受信手段と、外部からデータ受信回路に一つの応答があった後一定時間を経過しても次の応答がないときに内部リセット信号を発生する監視タイマと、リセット受信手段からの外部リセット信号及び監視タイマからの内部リセット信号のうちいずれか一方を入力したときにいずれの信号であるかを識別し且つその識別結果を保持すると共にCPUにリセットをかける識別回路とを備えているので、

トラブルが発生してCPUにリセットがかかった場合に、トラブル発生原因を容易に解析することが可能となる。

4. 図面の簡単な説明

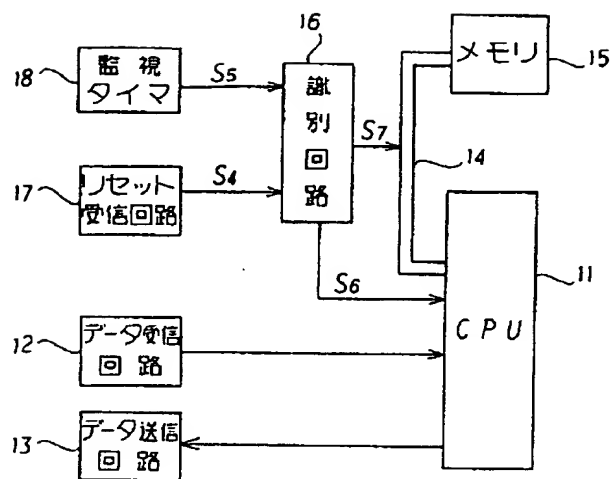
第1図はこの発明の一実施例に係るICカードを示すブロック図、第2図は実施例における識別回路の内部構造を示す回路図、第3図は他の実施例を示すブロック図、第4図は従来のICカードを示すブロック図である。

図において、(11)はCPU、(12)はデータ受信回路、(13)はデータ送信回路、(16)は識別回路、(17)はリセット受信回路、(18)は監視タイマ、(31a)は外部リセット信号入力端子である。

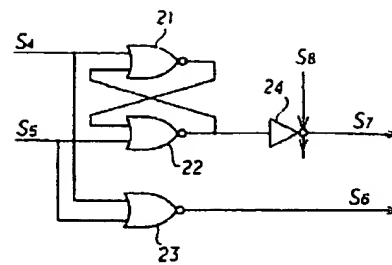
なお、各図中同一符号は同一または相当部分を示す。

代理人 曾 我 道 照

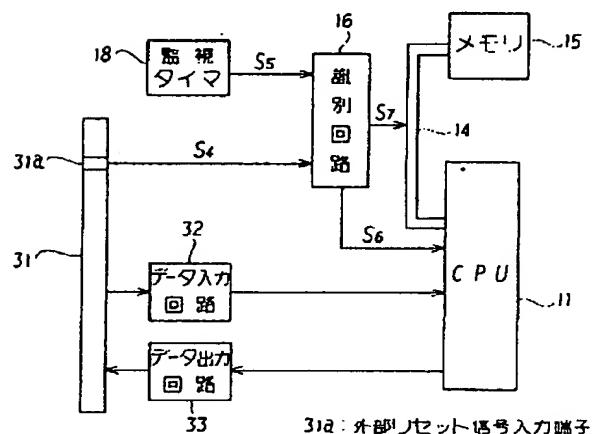
第 1 図



第 2 図



第 3 図



31a: 外部リセット信号入力端子

第 4 図

